

AB

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-122205  
 (43)Date of publication of application : 30.04.1999

(51)Int.Cl. H04J 3/00  
 H04J 14/08  
 H04J 3/04  
 H04L 25/497

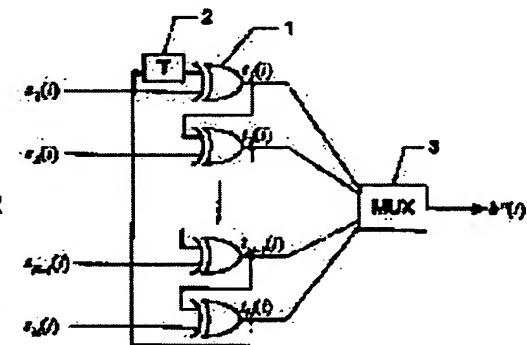
(21)Application number : 09-279996 (71)Applicant : NEC CORP  
 (22)Date of filing : 14.10.1997 (72)Inventor : FUKUCHI KIYOSHI

**(54) BINARY SIGNAL MULTIPLEXER PROVIDED WITH CODE CONVERSION FUNCTION AND BINARY SIGNAL DEMULTIPLEXER PROVIDED WITH CODE CONVERSION FUNCTION**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide the multiplexer that is provided with a coding function that is not limited by an operating speed of an exclusive OR circuit and accuracy and a length of a delay element by coding a signal in a stage of a low speed signal before time division multiplex in a communication system employing the duo binary modulation system.

**SOLUTION:** N-sets of data signals are given to 1st inputs of N-sets of exclusive OR circuits 1, and outputs of the 1st to (N-1)th exclusive OR circuits 1 are distributed to 2nd inputs of the 2nd to N-th exclusive OR circuits 1. The output of the N-th exclusive OR circuit 1 is delayed by one-bit with a 1-bit delay device 2 and the delayed signal is given to the 2nd input of the 1st exclusive OR circuit 1. Outputs of the N-sets of the exclusive OR circuits 1 are multiplexed by a multiplexer 3 that conducts bit multiplexing.



**LEGAL STATUS**

[Date of request for examination] 14.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3011235

[Date of registration] 10.12.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-122205

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl.<sup>6</sup>  
H 04 J 3/00  
14/08  
3/04  
H 04 L 25/497

識別記号

F I  
H 04 J 3/00  
3/04  
H 04 L 25/497  
H 04 B 9/00

A  
Z  
D

審査請求 有 請求項の数16 O L (全 12 頁)

(21)出願番号 特願平9-279996

(22)出願日 平成9年(1997)10月14日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 福知 清

東京都港区芝五丁目7番1号 日本電気株式会社内

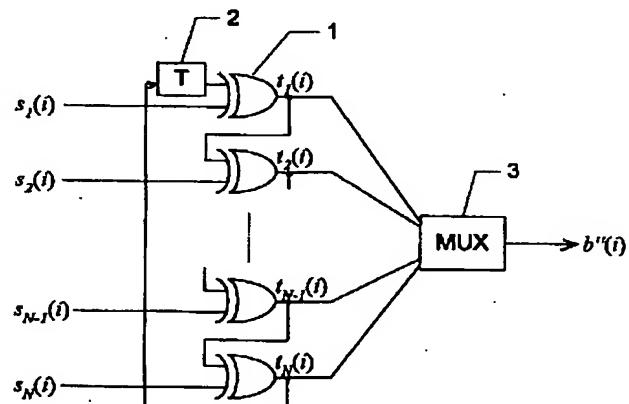
(74)代理人 弁理士 後藤 洋介 (外1名)

(54)【発明の名称】 符号変換機能を備えた2値信号多重装置及び符号変換機能を備えた2値信号分離装置

(57)【要約】

【課題】 デュオバイナリ変調方式を用いる通信システムにおいて、時分割多重する前の低速信号の段階で符号化を行うことにより、排他論理回路の動作速度や遅延素子の長さや精度に制限されない符号化機能を備えた多重装置の提供。

【解決手段】 N個の排他論理回路1の第1の入力にはN個のデータ信号が入力される。第2番目から第N番目の排他論理回路1の第2の入力にはそれぞれ第1番目から第N-1番目の前記排他論理回路の出力が分岐されて入力される。第1番目の排他論理回路1の第2の入力には、第N番目の排他論理回路1の出力を1ビット遅延器2により入力信号を1ビット分の遅延を与えた後に入力する。N個の排他論理回路1の出力はビット多重を行う多重回路3により多重される。



## 【特許請求の範囲】

【請求項 1】 互に等しいビットレートを有する第 1 及び第 2 の 2 値信号を供給される、符号変換機能を備えた 2 値信号多重装置であって、

各々が第 1 及び第 2 の入力端子手段と一つの出力端子手段とを有する第 1 及び第 2 の排他論理和回路 (34) と、

一つ多重回路 (35) と、

前記 2 値信号の 1 ビット分遅延する遅延器 (33) とを有し、

前記第 1 及び前記第 2 の排他論理和回路の前記第 1 の入力端子手段は、前記第 1 及び前記第 2 の 2 値信号をそれぞれ供給され、

前記第 2 の排他論理和回路の前記第 2 の入力端子手段は、前記第 1 の排他論理和回路の前記出力端子手段に接続され、

前記第 1 の排他論理和回路の前記第 2 の入力端子手段は、前記 1 ビット遅延器を介して前記第 2 の排他論理和回路の前記出力端子手段に接続され、

前記多重回路は、前記第 1 及び前記第 2 の排他論理和回路の前記出力端子手段に接続され、前記第 1 及び前記第 2 の排他論理和回路の出力信号をビットごとに時分割多重するものであることを特徴とする符号変換機能を備えた 2 値信号多重装置。

【請求項 2】 前記第 1 及び前記第 2 の排他論理和回路の各々の前記第 1 の入力端子手段は、論理反転回路を備えたことを特徴とする請求項 1 に記載の符号変換機能を備えた 2 値信号多重装置。

【請求項 3】 前記第 1 及び前記第 2 の排他論理和回路の各々の前記第 2 の入力端子手段は、論理反転回路を備えたことを特徴とする請求項 1 に記載の符号変換機能を備えた 2 値信号多重装置。

【請求項 4】 互に等しいビットレートを有する第 1 、第 2 、…、及び第 N (N は 3 以上の整数) の 2 値信号を供給される、符号変換機能を備えた 2 値信号多重装置であって、

各々が第 1 及び第 2 の入力端子手段と一つの出力端子手段とを有する第 1 、第 2 、…、及び第 N の排他論理和回路 (1 、 53) と、

一つ多重回路 (3) と、

前記 2 値信号の 1 ビット分遅延する遅延器 (2 、 50) とを有し、

前記第 1 、前記第 2 、…、及び前記第 N の排他論理和回路の前記第 1 の入力端子手段は、前記第 1 、前記第 2 、…、及び前記第 N の 2 値信号をそれぞれ供給され、

前記第 2 、…、及び前記第 N の排他論理和回路の内の第 n (n は 2 及び N (両方を含む) の間で可変である) の排他論理和回路の前記第 2 の入力端子手段は、第 (n - 1) の排他論理和回路の前記出力端子手段に接続され、前記第 1 の排他論理和回路の前記第 2 の入力端子手段

は、前記 1 ビット遅延器を介して前記第 N の排他論理和回路の前記出力端子手段に接続され、

前記多重回路は、前記第 1 、前記第 2 、…、及び前記第 N の排他論理和回路の前記出力端子手段に接続され、前記第 1 、前記第 2 、…、及び前記第 N の排他論理和回路の出力信号をビットごとに時分割多重するものであることを特徴とする符号変換機能を備えた 2 値信号多重装置。

【請求項 5】 前記第 1 、前記第 2 、…、及び前記第 N の排他論理和回路の各々の前記第 1 の入力端子手段は、論理反転回路を備えたことを特徴とする請求項 4 に記載の符号変換機能を備えた 2 値信号多重装置。

【請求項 6】 前記第 1 、前記第 2 、…、及び前記第 N の排他論理和回路の各々の前記第 2 の入力端子手段は、論理反転回路を備えたことを特徴とする請求項 4 に記載の符号変換機能を備えた 2 値信号多重装置。

【請求項 7】 前記第 2 、…、及び前記第 N の排他論理和回路の前記第 1 の入力端子手段は、それぞれ入力遅延回路 (51) を備え、

20 前記第 N の排他論理和回路を除いた全ての排他論理和回路の前記出力端子手段は、それぞれ出力遅延回路 (52) を備え、

前記入力遅延回路及び前記出力遅延回路は前記排他論理和回路の入出力間での伝搬遅延を補償すべく決定された遅延量を有することを特徴とする請求項 4 に記載の符号変換機能を備えた 2 値信号多重装置。

【請求項 8】 前記遅延器 (50) は、前記伝搬遅延を考慮に入れて 1 ビット遅延を与えるべく決定された遅延量を有することを特徴とする請求項 7 に記載の符号変換機能を備えた 2 値信号多重装置。

【請求項 9】 入力 2 値信号を互に等しいビットレートを有する第 1 及び第 2 の 2 値信号に時分割分離する一つの分離回路 (40) と、

各々が第 1 及び第 2 の入力端子手段と一つの出力端子手段とを有する第 1 及び第 2 の排他論理和回路 (34) と、

前記 2 値信号の 1 ビット分遅延する遅延器 (33) とを有し、

前記第 1 及び前記第 2 の排他論理和回路の前記第 1 の入力端子手段は、前記第 1 及び前記第 2 の 2 値信号をそれぞれ供給され、

前記第 2 の排他論理和回路の前記第 2 の入力端子手段は、前記第 1 の排他論理和回路の前記出力端子手段に接続され、

前記第 1 の排他論理和回路の前記第 2 の入力端子手段は、前記 1 ビット遅延器を介して前記第 2 の排他論理和回路の前記出力端子手段に接続され、

前記第 1 及び前記第 2 の排他論理和回路の前記出力端子手段の出力信号を装置出力信号として出力することを特徴とする符号変換機能を備えた 2 値信号分離装置。

【請求項 10】 前記第 1 及び前記第 2 の排他論理和回路の各々の前記第 1 の入力端子手段は、論理反転回路を備えたことを特徴とする請求項 9 に記載の符号変換機能を備えた 2 値信号多重装置。

【請求項 11】 前記第 1 及び前記第 2 の排他論理和回路の各々の前記第 2 の入力端子手段は、論理反転回路を備えたことを特徴とする請求項 9 に記載の符号変換機能を備えた 2 値信号多重装置。

【請求項 12】 入力 2 値信号を互に等しいビットレートを有する第 1、第 2、…、及び第 N (N は 3 以上の整数) の 2 値信号に時分割分離する一つの分離回路 (4、55) と、各々が第 1 及び第 2 の入力端子手段と一つの出力端子手段とを有する第 1、第 2、…、及び第 N の排他論理和回路 (1、53) と、

前記 2 値信号の 1 ビット分遅延する遅延器 (2、50) とを有し、

前記第 1、前記第 2、…、及び前記第 N の排他論理和回路の前記第 1 の入力端子手段は、前記第 1、前記第 2、…、及び前記第 N の 2 値信号をそれぞれ供給され、前記第 2、…、及び前記第 N の排他論理和回路の内の第 n (n は 2 及び N (両方を含む) の間で可変である) の排他論理和回路の前記第 2 の入力端子手段は、第 (n-1) の排他論理和回路の前記出力端子手段に接続され、前記第 1 の排他論理和回路の前記第 2 の入力端子手段は、前記 1 ビット遅延器を介して前記第 N の排他論理和回路の前記出力端子手段に接続され、

前記第 1、前記第 2、…、及び前記第 N の排他論理和回路の前記出力端子手段の出力信号を装置出力信号として出力することを特徴とする符号変換機能を備えた 2 値信号分離装置。

【請求項 13】 前記第 1、前記第 2、…、及び前記第 N の排他論理和回路の各々の前記第 1 の入力端子手段は、論理反転回路を備えたことを特徴とする請求項 12 に記載の符号変換機能を備えた 2 値信号分離装置。

【請求項 14】 前記第 1、前記第 2、…、及び前記第 N の排他論理和回路の各々の前記第 2 の入力端子手段は、論理反転回路を備えたことを特徴とする請求項 12 に記載の符号変換機能を備えた 2 値信号分離装置。

【請求項 15】 前記第 2、…、及び前記第 N の排他論理和回路の前記第 1 の入力端子手段は、それぞれ入力遅延回路 (51) を備え、前記第 N の排他論理和回路を除いた全ての排他論理和回路の前記出力端子手段は、それぞれ出力遅延回路 (52) を備え、

前記入力遅延回路及び前記出力遅延回路は前記排他論理和回路の入出力間での伝搬遅延を補償すべく決定された遅延量を有することを特徴とする請求項 12 に記載の符号変換機能を備えた 2 値信号分離装置。

【請求項 16】 前記遅延器 (50) は、前記伝搬遅延

を考慮に入れて 1 ビット遅延を与えるべく決定された遅延量を有することを特徴とする請求項 15 に記載の符号変換機能を備えた 2 値信号分離装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、時分割多重を用いる通信システムに関し、特にデュオバイナリ変調および復調のための符号化機能を備えた多重および分離装置に関するものである。

10 【0002】

【従来の技術】 最近、高速光ファイバ通信システムにおいて、伝送路となる光ファイバの波長分散の影響を受けにくい通信方式として、光デュオバイナリ変調と直接検波受信を組み合わせたシステムが特開平 8-139681 号公報に開示されている。このシステムを図 7 を用いて説明する。

【0003】 図 7において、2 値の入力データ信号 10 は、デュオバイナリ符号化回路 11 で 3 値デュオバイナリ信号に変換される。デュオバイナリ符号化回路 11 では、まず排他論理和回路 (EX-OR) 1 と 1 ビット遅延器 (即ち、1 タイムスロット遅延器) 2 で構成されるプリコード 12 によって符号変換が行われ、その後もう一つの 1 ビット遅延器 2 と加算器 (ADD) 13 で構成される 2 値 3 値変換回路 14 で 3 値デュオバイナリ信号を生成する。

【0004】 3 値のデュオバイナリ信号は変調部 37 において第 1 及び第 2 の信号に分岐される。分岐された第 1 の信号は、振幅調整回路 15、バイアス調整回路 16 を通って光変調器 17 の第 1 の端子に印加される。分岐された第 2 の信号は、反転回路 (INV) 18、もう一つの振幅調整回路 15 を通って光変調器 17 の第 2 の端子に印加される。光変調器 17 はマッハツエンダ型光強度変調器で、2 つの光導波路に前記第 1 および第 2 の信号を印加してレーザダイオード (光源) 19 からの光を変調し、光デュオバイナリ信号を生成する。

【0005】 この際、上述の 2 つの信号の振幅を光変調器 17 の半波長電圧として印加し、バイアスを調整してデュオバイナリ信号の 3 レベル (3 値信号の "0"、3 値信号の "1"、及び 3 値信号の "2") 21、22、及び 23 を変調器の透過特性 24 に対して図 8 のように割りあてる。この結果、電気信号の 3 レベルが光の 3 状態に割りあてられて、変調光のスペクトルが狭窄化する。

【0006】 受信器では、変調光の強度、すなわち図 8 の 2 つのレベル (検出信号の "0" 及び検出信号の "1") 25 及び 26 を検出して電気信号に変換する。

【0007】 この伝送方式では、3 値光デュオバイナリ信号を強度のみで検出するため、送受信器間で符号系列が変化する。この変化を補正するために、送信器または受信器で符号変換が必要である。

【0008】図9は、光デュオバイナリ送信器と直接検波受信器を備えるシステムにおいて符号変換のためのプリコーダ12を送信器側に配置するシステムを示したものである。なお、以下の全ての式中の・は、式記述の便宜上、排他論理和(EX-OR)演算子を示すものとする。

【0009】図9において、入力信号  $a(i)$  はプリコーダ12により次式に示す信号  $b(i)$  に変換される。

$$【0010】 b(i) = a(i) \cdot b(i-1) \quad (1)$$

ここで、式中の  $i$  は信号のタイムスロット番号を示している。

【0011】この  $b(i)$  を2値3値変換回路14に通す

$$d(i) = \text{INV} [| c(i) - 1 |] \\ = \text{INV} [| a(i) \cdot b(i-1) + b(i-1) - 1 |] \quad (3)$$

ここで、式中の  $| |$  は絶対値演算を表す。ここで、図10に示す表より、

$$\text{INV} [A + B - 1] = A \cdot B$$

$$(A \cdot B) \cdot B = A$$

$$d(i) = \{ a(i) \cdot b(i-1) \} \cdot b(i-1) = a(i) \quad (3')$$

また、図11のように、プリコーダ12を受信器に備えても正しく符号を伝送することができる。この構成では、入力信号  $a(i)$  に対して出力信号  $e(i)$  が次式で与えられる。

【0016】

$$e(i) = d(i) \cdot e(i-1) \\ = \text{INV} [| a(i) + a(i-1) - 1 |] \cdot e(i-1) \\ = \{ a(i) \cdot a(i-1) \} \cdot e(i-1) \quad (3')$$

ここで、 $A = B \cdot C$  であれば  $A \cdot C = B$  であることを用いると、(4)式は次式のように変換される。

【0017】

$$e(i) \cdot e(i-1) = a(i) \cdot a(i-1) \quad (4') \\ (4') 式より、e(i) と a(i) が同信号であり、正しく信号を受信できることがわかる。$$

【0018】ところで、高速の光ファイバ通信では、低速信号を時分割多重して高速信号を生成してから光を用いて伝送し、受信器において時分割分離を行って低速信号を再生する。このようなシステムに光デュオバイナリ方式を適用する場合、従来は図9の送信器においてデー

$$u_k(i) = e(N \times i + k) \\ = d(N \times i + k) \cdot e(N \times i + k - 1) \\ = d(N \times i + 1) \cdot u_{k-1}(i-1), \quad d(N \times i + k) \cdot u_{k-1}(i) \quad (k = 2, \dots, N) \quad (7)$$

【0023】

【発明が解決しようとする課題】デュオバイナリ変調方式において、伝送すべき信号のビットレートが増大すると、符号化器や復号化器に用いられる排他論理和回路に極めて高速な動作が要求される。しかし、排他論理和回路の動作速度は現在のところ  $10G b/s$  程度が限界であり、これ以上高速なデータの処理は難しい。

【0024】さらに、符号化器や復号化器では1ビット長分の遅延回路が必要であるが、通常これには伝送線路

と、次式に示すデュオバイナリ信号  $c(i)$  に変換される。

【0012】

$$c(i) = b(i) + b(i-1) \\ = a(i) \cdot b(i-1) + b(i-1) \quad (2)$$

ここで、以下の全ての式中の INV [ ] は、式記述の便宜上、論理反転演算を表すものとする。

【0013】  $c(i)$  を光変調器と直接検波器で構成される光伝送部30に通すと、次式に示す出力信号  $d(i)$  が得られる。

【0014】

$$d(i) = \text{INV} [| c(i) - 1 |] \quad (3)$$

であるので、式(3)は次のように変換され、受信器で正しい符号が得られることがわかる。

【0015】

$$d(i) = a(i) \quad (3')$$

タ多重後にプリコーダ12により符号変換を行うか、またたは図11の受信器においてデプリコーダ12による符号変換後に分離を行う。

【0019】即ち、図9のように送信器側にプリコーダ12をおく場合、プリコーダ12の前段で  $N$  個の低速信号  $s_k(i)$  をビットごとに多重して次式に示す高速信号  $a(i)$  を得る。

$$【0020】 a(N \times i + k) = s_k(i) \quad (5)$$

ここで、 $k$  は低速信号識別用の添え字である。この後に、プリコーダ12により符号変換して次式に示す信号  $b'(i)$  を得る。

【0021】

$$b'(N \times i + k) = a(N \times i + k) \cdot b'(N \times i + k - 1) \\ = s_k(i) \cdot b'(N \times i + k - 1) \quad (6)$$

一方、図11のように受信器側にプリコーダ12をおく場合、信号  $d(i)$  をプリコーダ12により符号化して信号  $e(i)$  を生成した後に、信号  $e(i)$  に対して時分割分離を行い、次式に示す出力低速信号  $u_k(i)$  を得る。

【0022】

が用いられる。しかし、ビットレートが増大すると、遅延時間を短くするために素子長が短くなり、さらに素子長の精度も厳しくなるため、実現が困難になる。

【0025】すなわち、信号符号化回路に用いる素子の特性がシステムの伝送速度の高速化を妨げるという問題がある。

【0026】それ故、本発明の課題は、時分割多重する前の低速信号の段階で符号化を行うことにより、排他論理和回路の動作速度や遅延素子の長さや精度に制限され

ない符号化機能を備えた多重装置を提供することにある。

【0027】本発明のもう一つの課題は、時分割分離後の信号に対して符号化を行うことにより、排他論理和回路の動作速度や遅延素子の長さや精度に制限されない符号化機能を備えた分離装置を提供することにある。

【0028】

【課題を解決するための手段】本発明の第1の態様によれば、互に等しいビットレートを有する第1及び第2の2値信号を供給される、符号変換機能を備えた2値信号多重装置であって、各々が第1及び第2の入力端子手段と一つの出力端子手段とを有する第1及び第2の排他論理和回路と、一つ多重回路と、前記2値信号の1ビット分遅延する遅延器とを有し、前記第1及び前記第2の排他論理和回路の前記第1の入力端子手段は、前記第1及び前記第2の2値信号をそれぞれ供給され、前記第2の排他論理和回路の前記第2の入力端子手段は、前記第1の排他論理和回路の前記出力端子手段に接続され、前記第1の排他論理和回路の前記第2の入力端子手段は、前記1ビット遅延器を介して前記第2の排他論理和回路の前記出力端子手段に接続され、前記多重回路は、前記第1及び前記第2の排他論理和回路の前記出力端子手段に接続され、前記第1及び前記第2の排他論理和回路の出力信号をビットごとに時分割多重するものであることを特徴とする符号変換機能を備えた2値信号多重装置が得られる。

【0029】本発明の第2の態様によれば、互に等しいビットレートを有する第1、第2、…、及び第N (Nは3以上の整数) の2値信号を供給される、符号変換機能を備えた2値信号多重装置であって、各々が第1及び第2の入力端子手段と一つの出力端子手段とを有する第1、第2、…、及び第Nの排他論理和回路と、一つ多重回路と、前記2値信号の1ビット分遅延する遅延器とを有し、前記第1、前記第2、…、及び前記第Nの排他論理和回路の前記第1の入力端子手段は、前記第1、前記第2、…、及び前記第Nの2値信号をそれぞれ供給され、前記第2、…、及び前記第Nの排他論理和回路の内の第n (nは2及びN (両方を含む) の間で可変である) の排他論理和回路の前記第2の入力端子手段は、第(n-1) の排他論理和回路の前記出力端子手段に接続され、前記第1の排他論理和回路の前記第2の入力端子手段は、前記1ビット遅延器を介して前記第Nの排他論理和回路の前記出力端子手段に接続され、前記多重回路は、前記第1、前記第2、…、及び前記第Nの排他論理和回路の前記出力端子手段に接続され、前記第1、前記第2、…、及び前記第Nの排他論理和回路の出力信号をビットごとに時分割多重するものであることを特徴とする符号変換機能を備えた2値信号多重装置が得られる。

$$t_1(i) = s_1(i) \cdot t_{N-1}(i-1), \quad t_k(i) = s_k(i) \cdot t_{k-1}(i) \quad (k=2, \dots, N) \quad (8)$$

【0030】本発明の第3の態様によれば、入力2値信号を互に等しいビットレートを有する第1及び第2の2値信号に時分割分離する一つの分離回路と、各々が第1及び第2の入力端子手段と一つの出力端子手段とを有する第1及び第2の排他論理和回路と、前記2値信号の1ビット分遅延する遅延器とを有し、前記第1及び前記第2の排他論理和回路の前記第1の入力端子手段は、前記第1及び前記第2の2値信号をそれぞれ供給され、前記第2の排他論理和回路の前記第2の入力端子手段は、前記第1の排他論理和回路の前記出力端子手段に接続され、前記第1の排他論理和回路の前記第2の入力端子手段は、前記1ビット遅延器を介して前記第2の排他論理和回路の前記出力端子手段に接続され、前記第1及び前記第2の排他論理和回路の前記出力端子手段の出力信号を装置出力信号として出力することを特徴とする符号変換機能を備えた2値信号分離装置が得られる。

【0031】本発明の第4の態様によれば、入力2値信号を互に等しいビットレートを有する第1、第2、…、及び第N (Nは3以上の整数) の2値信号に時分割分離する一つの分離回路と、各々が第1及び第2の入力端子手段と一つの出力端子手段とを有する第1、第2、…、及び第Nの排他論理和回路と、前記2値信号の1ビット分遅延する遅延器とを有し、前記第1、前記第2、…、及び前記第Nの排他論理和回路の前記第1の入力端子手段は、前記第1、前記第2、…、及び前記第Nの2値信号をそれぞれ供給され、前記第2、…、及び前記第Nの排他論理和回路の内の第n (nは2及びN (両方を含む) の間で可変である) の排他論理和回路の前記第2の入力端子手段は、第(n-1) の排他論理和回路の前記出力端子手段に接続され、前記第1の排他論理和回路の前記第2の入力端子手段は、前記1ビット遅延器を介して前記第Nの排他論理和回路の前記出力端子手段に接続され、前記第1、前記第2、…、及び前記第Nの排他論理和回路の前記出力端子手段の出力信号を装置出力信号として出力することを特徴とする符号変換機能を備えた2値信号分離装置が得られる。

【0032】

【発明の実施の形態】次に本発明の実施例について図面を参照して説明する。

【0033】図1は本発明の第1の実施例による符号化機能を備えた2値信号多重装置を示している。本2値信号多重装置は同様の参照符号で示された同様の部分を含む。本構成で得られる信号が式(6)で与えられる信号と等しいことを示す。図1において、信号  $s_1(i) \sim s_N(i)$  をN個の排他論理和回路1に供給すると、排他論理和回路1の出力信号  $t_1(i) \sim t_{N-1}(i)$  は次式で与えられる。

【0034】

$$t_k(i) = s_k(i) \cdot t_{k-1}(i) \quad (k=2, \dots, N) \quad (8)$$

これら  $t_1(i) \sim t_N(i)$  を時分割多重器 3 によって多重して得られる信号  $b''(i)$  は、次式で与えられる。

$$\begin{aligned}
 b''(N \times i + 1) &= t_1(i) \\
 &= s_1(i) \cdot t_N(i-1) \\
 &= s_1(i) \cdot b''(N \times (i-1) + N) \\
 &= s_1(i) \cdot b''(N \times i), \\
 b''(N \times i + k) &= t_1(i) \\
 &= s_1(i) \cdot t_{i+k-1}(i) \\
 &= s_1(i) \cdot b''(N \times i + k - 1) \quad (k = 2, \dots, N) \quad (9)
 \end{aligned}$$

(6) 式と (9) 式より、 $b'(i)$  と  $b''(i)$  が同一信号となっており、本発明が正しく作用することがわかる。

【0036】図2に本発明の第2の実施例による符号化機能を備えた2値信号分離装置を示している。本2値信号分離装置は同様の参照符号で示された同様の部分を含む。本構成で得られる信号が従来技術で得られる式

(7) の  $u_k(i)$  と等しいことを示す。図2において、

$$\begin{aligned}
 u'_1(i) &= v_1(i) \cdot u'_{N-1}(i-1) = d(N \times i + 1) \cdot u'_{N-1}(i-1), \\
 u'_{i-1}(i) &= v_1(i) \cdot u'_{i-1}(i) = d(N \times i + k) \cdot u'_{i-1}(i) \quad (k = 2, \dots, N) \quad (11)
 \end{aligned}$$

(7) 式と (11) 式より、 $u_k(i)$  と  $u'_{i-1}(i)$  が同一信号となっており、本発明が正しく作用することがわかる。

【0039】図3は本発明の第3の実施例による符号化機能を備えた2値信号多重装置を、送信器に備える伝送速度20Gbpsの光デュオバイナリ送受信システムを示している。2つの10Gbps信号31はそれぞれ第1および第2の排他論理和回路34の第1の入力端子に入力する。排他論理和回路34の各々には、10Gbpsの信号を処理可能なGaaS-IC (NEC社製IC、NLG4103) を用いた。第1の排他論理和回路34の出力は分岐され、一方は2:1多重回路35の第1の入力端子へ、もう一方は第2の排他論理和回路34の第2の入力端子へと入力される。また、第2の排他論理和回路34の出力も分岐され、一方は2:1多重回路35の第2の入力端子へ、もう一方は1ビット遅延器33を通過した後に第1の排他論理和回路34の第2の入力端子へと入力される。1ビット遅延器33の遅延量は100p(ピコ)sである。

【0040】2:1多重回路35はこの20Gbps信号を、2値3値変換回路に相当する帯域5GHzのローパスフィルタ36によってデュオバイナリ信号に変換する。このデュオバイナリ信号を光変調器37に入力して、レーザダイオード38からの波長1.55ミクロンの光を変調する。光変調器37は、図7の光変調器37とおなじく、ニオブ酸リチウムを用いたマッハツエンダ変調器17、反転回路18、振幅調整回路15、バイアス調整回路16で構成し、3値信号を図8に示す光の3状態に割り当てた。変調された光は、直接検波光受信器39によって、光の発光時を信号“0”、消光時を信号

## 【0035】

10 入力信号  $d(i)$  を時分割分離器4によって時分割分離して得られるN個の低速信号  $v_k(i)$  は次式で与えられる。

$$v_k(i) = d(N \times i + k) \quad (10)$$

$v_k(i)$  をN個の排他論理和回路1に供給すると、排他論理和回路1の出力信号  $u'_{i-1}(i)$  は次式で与えられる。

## 【0038】

“1”として検出する。検出信号は、1:2分離回路40により2つの10Gbps信号41及び42に分離、再生する。

【0041】1対2のデータ分離回路40もSiGe-HBTを用いたICであり、20Gbps信号を処理する能力を有するものである。

【0042】本実施例の構成によって光デュオバイナリ信号を生成した結果、光送信部出力における光スペクトル幅10GHzが得られ、光デュオバイナリ信号となっていることが確認された。ここで、疑似ランダム符号を用いて1:2分離回路40の出力信号41及び42の符号誤り率をそれぞれ測定したところ、誤りなく符号伝送が行われていることが確認された。

【0043】以上より、本発明がデュオバイナリ光伝送用の符号化回路として正しく動作することがわかった。ところで、以上の説明では、光検出器において発光時を“0”、消光時を“1”と検出すると限っている。これに対して、論理割りあてを逆とした受信器を用いるときには、排他論理和回路34の各々の第1の入力、第2の入力、及び出力のいずれか1つを論理反転すればよい。これを説明する。

【0044】光受信器の論理割りあてが発光時を“1”、消光時を“0”である場合、検出信号41及び42の論理が反転する。従って、排他論理和回路34の第1の入力端子の前に論理反転回路を設けてあらかじめ入力信号31及び32を反転しておけば、受信器出力で正しい符号が得られる。

【0045】又、排他論理和演算子は  $INV[A] \cdot B = A \cdot INV[B]$  という特性を持つ。従って、図3の排他論理和回路34の第2の入力を反転すれば、第1の入力

を反転したのと同じ効果が得られ、正しい符号が得られる。

【0046】また、排他論理回路34の出力を反転すると、第2の入力を反転した場合の出力を反転した信号が2:1多重回路35に入力する。この結果、多重後の信号も論理反転して、2値3値変換回路に相当するローパスフィルタ36に入力される。すると、2値3値変換回路の出力において、反転前の“0”が“2”に、反転前の“2”が“0”となり、“1”はかわらない。しかし、図8よりわかるように、“0”と“2”的入れ替わりは光検出後の符号を変えない。従って、排他論理回路34の出力を反転することは、第2の入力を反転することと等価になり、正しい符号が得られる。

【0047】本実施例において、光受信器の検出論理を逆転させ、さらにG a A s - I Cの第2の出力が論理反転出力であったのでそれを用いて送信器を構成して特性を観測したところ、送受信器間での符号誤りなく正しく伝送されたことが確認された。

【0048】ところで、本発明で3つ以上の多信号を符号化多重する場合、排他論理回路の入出力間での信号伝搬遅延のため、図1の下側に接続された排他論理回路1で論理動作のタイミングがずれて正しい動作が得られなくなるおそれがある。

【0049】図4はこの伝搬遅延を補償するために遅延回路を加えた本発明の第4の実施例による符号変換機能を備えた多重装置を示している。この多重装置では、第2番目から第N番目までの入力信号 $s_i$  (i)に対して、排他論理回路53に入力する前に遅延回路51によって遅延を与える。k番目の排他論理回路53の第2の入力には(k-1)個の排他論理回路53を通った後の信号が入力されるので、(k-1)Dの遅延を与えることで信号の位相を合わせる。Dは排他論理回路53の入出力間の伝搬遅延である。N番目の排他論理回路53の出力と第1の排他論理回路53の第2の入力の間にある1ビット遅延器50の遅延量は(T-ND)

(Tは1タイムスロット長)とし、回路の伝搬遅延を考慮して1ビット遅延を与える。さらに、第1番目から第N-1番目までの排他論理回路53の出力にも遅延回路52を備え、k番目の遅延回路の遅延量を(N-k)Dとすることによって、N:1多重回路へのN個の信号入力の位相をそろえることができ、この結果正しくデータ多重がなされた。

【0050】図5は本発明の第5の実施例による符号変換機能を備えた分離装置を光受信器に備えた光デュオバイナリ送受信システムを示している。本実施例も図3と同様伝送速度20Gbpsの光デュオバイナリ送受信システムであるが、受信器側に符号変換機能を備えた分離装置を設ける。2つの10Gbps信号31は2:1多重回路35に入力され多重される。多重後の20Gbps信号を、2値3値変換回路に相当する帯域5GHzの

ローパスフィルタ36によってデュオバイナリ信号に変換した後で光変調器37に印加し、レーザダイオード38からの波長1.55ミクロンの光を変調する。変調光を、直接検波光受信器39によって発光時を“0”、消光時を“1”として検出したのち、1:2分離回路40により2つの10Gbps信号に分離、再生する。

【0051】この2つの信号を、第1および第2の排他論理回路34の第1の入力端子にそれぞれ入力する。第1の排他論理回路34の出力は分岐され、一方は第2の排他論理回路34の第2の入力端子へと入力され、他方は第1のデータ41として出力される。また、第2の排他論理回路34の出力も分岐され、一方は1ビット遅延器33を通った後に第1の排他論理回路34の第2の入力端子へと入力され、他方は第2のデータ42として出力される。1ビット遅延器33の遅延量は100p (ピコ) sである。

【0052】本実施例の構成によっても、光送信部出力における光スペクトル幅10GHzの光デュオバイナリ信号を確認し、また疑似ランダム符号を用いて符号誤り率を測定した結果2つの信号とも正しく伝送されたことを確認した。本実施例においても、発光時を“1”、消光時を“0”として検出する光受信器を用いる場合は、2つの排他論理回路34の各々の第1の入力の前または第2の入力の前または出力の後のいずれか1カ所において論理反転を行えばよい。

【0053】図6は、本発明の第6の実施例による符号変換機能を備えた分離装置を示している。この実施例は3つ以上の多信号を扱う符号変換機能を有する分離装置であり、排他論理回路53の入力部の遅延回路51を設けることにより排他論理回路53での2信号の位相あわせを、また出力部の遅延回路52を設けることによりN個の出力信号の位相そろえを行う。

【0054】1:N分離回路55によりN個に分離されたデータの第2から第N番目までのデータに対して、遅延回路51により(k-1)Dの遅延を与えてから排他論理回路53に入力する。k番目の排他論理回路53の出力には、(N-k)Dの遅延を与える遅延回路52を接続して、出力信号 $u_i$  (i)の位相を合わせる。また、N番目の排他論理回路53の出力と第1の排他論理回路53の第2の入力間に接続される1ビット遅延器50の遅延量は(T-ND) (Tは1タイムスロット長)として1ビット遅延を与える。これによって、排他論理回路53での演算時の位相ずれの問題がなく、位相のそろったデータを出力する分離装置が構成された。

【0055】上述の図3及び図5の実施例では、入カデータ数を2としたがこれに限るものではなく3つ以上のデータを多重分離する構成とすることはできることは容易に理解される。また、データ速度を10Gbpsとしたが、システムの回路が動作する範囲内で速度はこれに限られるものではない。

【0056】さらに、すべての処理は電気信号で行われるましたが、電気に限らずすべて光信号として処理する、もしくは電気光インターフェースを併用して電気信号と光信号処理の組み合わせで実現してもよい。

【0057】各回路構成素子については、実施の一例としてあげたものであり、これらに限られるものではない。たとえば、排他論理演算をG a A s以外の、たとえばS iを用いたIC、機械スイッチ、デジタルシグナルプロセッサやプログラマブルロジックデバイス、コンピュータのCPUを用いたソフトウェア演算、さらには光一光スイッチや光干渉計など光を用いた回路など、排他論理と動作をするものであればなんでもよい。また、遅延回路としては、通常伝送線路であるマイクロストリップ線路やコプレーナ線路などを用いるが、同軸線路、導波管、光ファイバ、光空間伝搬など、ある程度の信号波形を保ちつつ所定の遅延を与えられればよい。多重回路としてあげたS i G e - ICは一例であり、ほかにG a A sやS iを用いたIC、機械スイッチ、光合波器を用いた光多重化器でも実現できることは容易に想像される。分離回路についても同様であり、2値の多重データを分離できればよく、機械スイッチ、電気一光スイッチや光一光スイッチ、光の非線形ループミラーなどを用いることができる。

【0058】また、本発明は光デュオバイナリ信号の伝送時に用いると限定して説明してきたが、適用範囲はこれに限定されるものではなく、復調後での符号の変化の仕方が同じであればそのまま適用できる。たとえば、デュオバイナリ信号をそのまま光の3つの強度レベルに割り当て伝送、検波したのちに、検出電気信号を中心値で折り返す非線形研磨処理を行って信号を再生する伝送方式や、DPSK変調光を遅延検波する場合などが当てはまる。

#### 【0059】

【発明の効果】本発明により、排他論理回路の動作速度や遅延素子の長さや精度に制限されない符号化機能を備えた2値信号多重装置及び2値信号分離装置を実現することができた。また、排他論理の伝搬遅延時間まで考慮した遅延補償を行うことにより、安定した動作を得ることができた。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例による符号変換機能を備えた多重装置のブロック図である。

【図2】本発明の第2の実施例による符号変換機能を備えた分離装置のブロック図である。

【図3】本発明の第3の実施例による符号変換機能を備えた多重装置を光送信器に備えたシステムのブロック図である。

【図4】本発明の第4の実施例による符号変換機能を備

えた多重装置のブロック図である。

【図5】本発明の第5の実施例による符号変換機能を備えた分離装置を光受信器に備えたシステムのブロック図である。

【図6】本発明の第6の実施例による符号変換機能を備えた分離装置のブロック図である。

【図7】従来の光デュオバイナリの送信器のブロック図である。

10 【図8】光デュオバイナリ変調の符号割りあてを説明するための図である。

【図9】送信器側に符号化器（プリコード）を備える光デュオバイナリ伝送システムを示すブロック図である。

【図10】光デュオバイナリで用いる論理演算を示す論理表である。

【図11】受信器側に符号化器（プリコード）を備える光デュオバイナリ伝送システムを示すブロック図である。

#### 【符号の説明】

1 排他論理回路

20 2 1ビット遅延器

3 時分割多重器

4 時分割分離器

10 入力データ信号

11 デュオバイナリ符号化回路

12 プリコード

13 加算器

14 2値3値変換回路

15 振幅調整回路

16 バイアス調整回路

30 17 光変調器

18 反転回路

19 レーザダイオード

30 20 光伝送部

33 1ビット遅延器

34 排他論理回路

35 2:1多重回路

36 ローパスフィルタ

37 光変調器

38 レーザダイオード

40 39 光受信器

40 40 1:2分離回路

50 50 1ビット遅延器

51 (入力位相合わせ用) 遅延回路

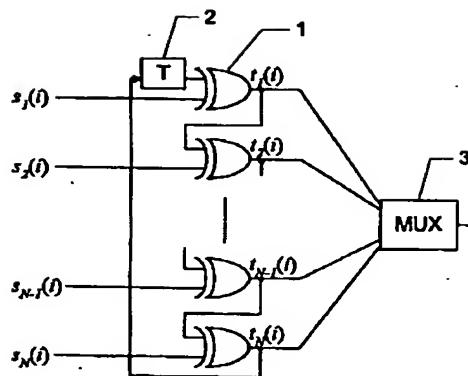
52 (出力位相合わせ用) 遅延回路

53 排他論理回路

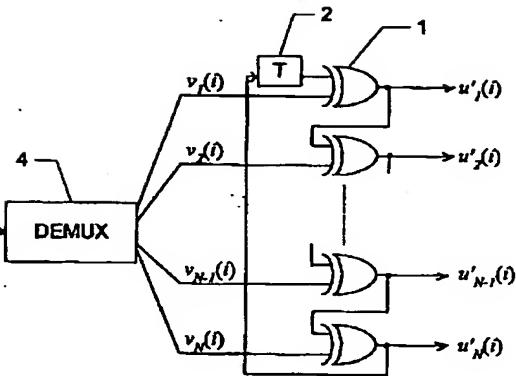
54 N:1多重回路

55 1:N分離回路

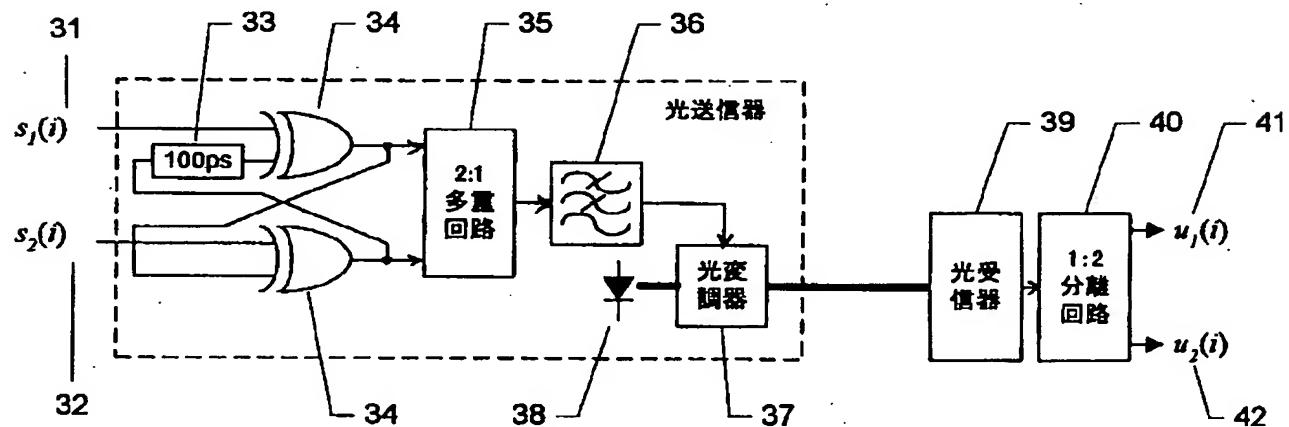
【図 1】



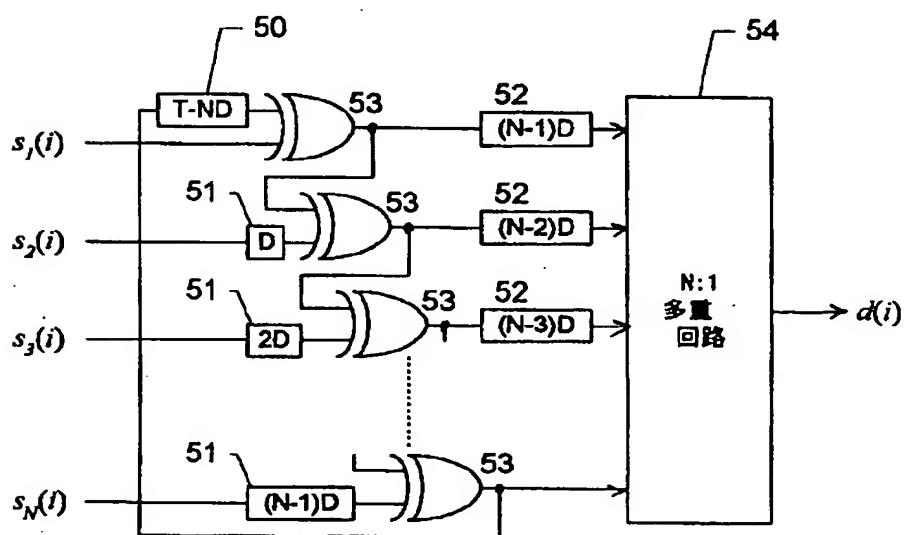
【図 2】



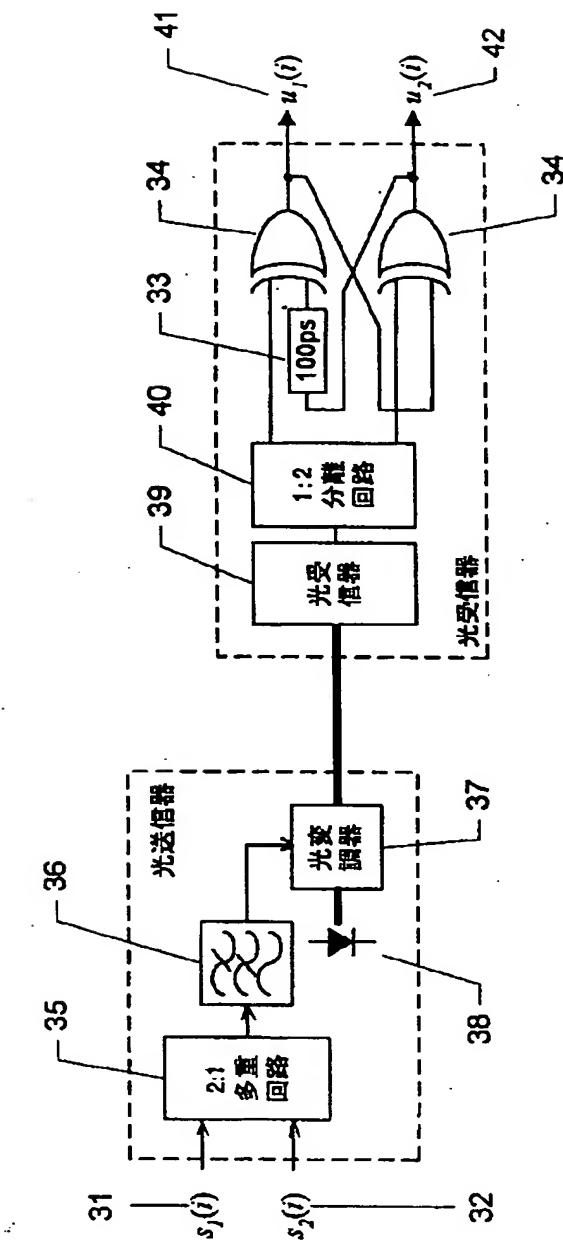
【図 3】



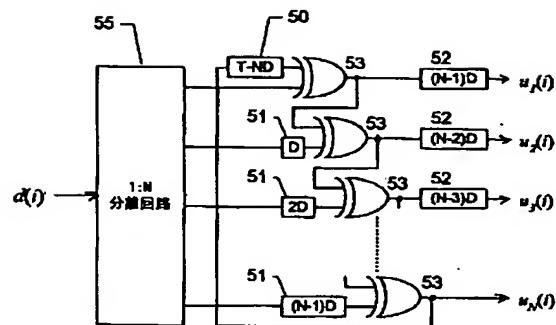
【図 4】



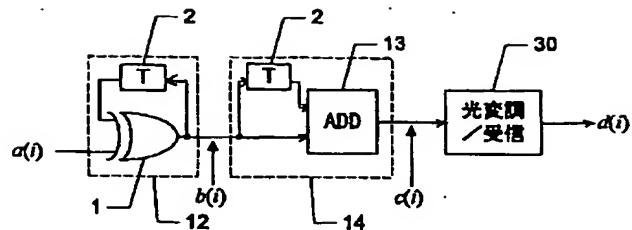
[図 5]



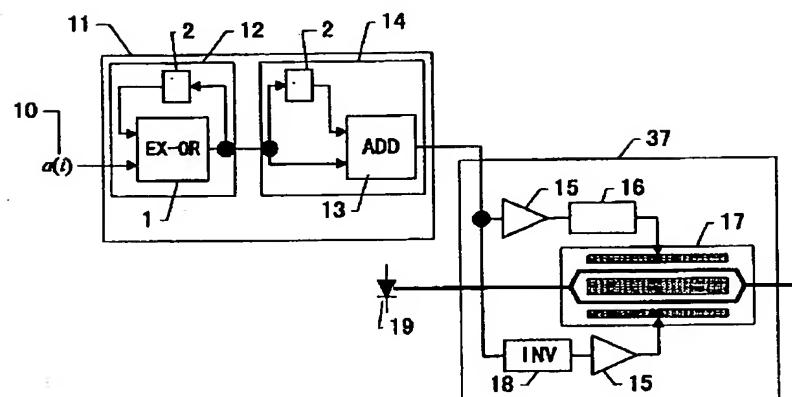
【図 6】



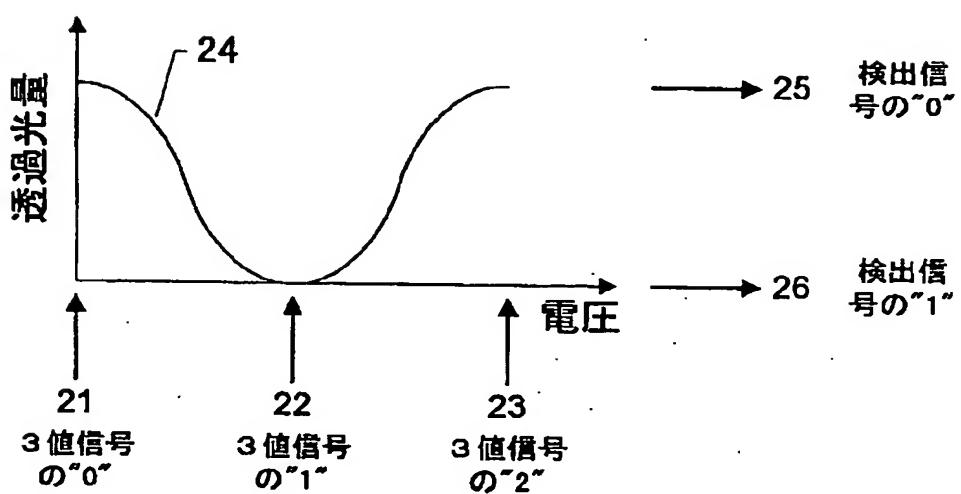
【図 9】



【図 7】



【図 8】

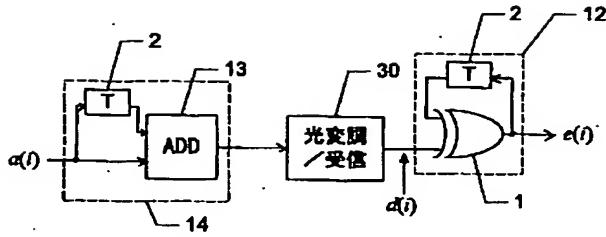


【図 10】

INV[ (A+B-1) ]			
A	B	A+B-1	INV[ (A+B-1) ]
0	0	-1	0
0	1	0	1
1	0	0	1
1	1	1	0

• は EX-OR

【図 11】



## 【手続補正書】

【提出日】平成9年10月14日

## 【手続補正・1】

【補正対象書類名】明細書

【補正対象項目名】請求項 10

【補正方法】変更

## 【補正内容】

【請求項 10】 前記第1及び前記第2の排他論理和回路の各々の前記第1の入力端子手段は、論理反転回路を備えたことを特徴とする請求項9に記載の符号変換機能を備えた2値信号分離装置。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】請求項 11

【補正方法】変更

## 【補正内容】

【請求項 11】 前記第1及び前記第2の排他論理和回路の各々の前記第2の入力端子手段は、論理反転回路を備えたことを特徴とする請求項9に記載の符号変換機能を備えた2値信号分離装置。